

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235802

(43)Date of publication of application : 05.09.1995

(51)Int.Cl.

H01P 1/15
H03K 17/693
H04B 1/18

(21)Application number : 06-025749

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 23.02.1994

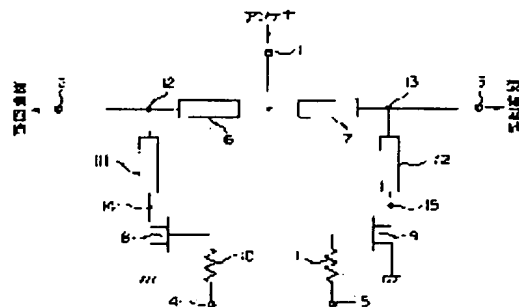
(72)Inventor : KANDA ATSUSHI

(54) HIGH FREQUENCY SWITCH CIRCUIT

(57)Abstract:

PURPOSE: To provide the high frequency switch circuit in which a passing loss in the on-state is small and leakage of a signal in the off-state is less.

CONSTITUTION: When an antenna and a reception circuit are connected, a forward bias is applied to a FET 9 to set its drain-source impedance to be properly low and the impedance is equivalent to its on-resistance, but the impedance is converted into a high impedance by a $1/4$ wavelength line 112 and then the impedance of the FET 9 when viewing it from a node 13 is close to an open impedance. On the other hand, a reverse bias is applied to a FET 8, the drain-source impedance by its junction capacitance is properly high, but the impedance is converted into a low impedance by a $1/4$ wavelength line 111, and the impedance of a node 12 is sufficiently close to a short-circuit state. Then the impedance is converted into a high impedance by a $1/4$ wavelength line 6. Thus, a high frequency signal received by an antenna connection terminal 1 is not leaked to a transmission circuit connection terminal 2 but outputted to a reception circuit connection terminal 3.



LEGAL STATUS

[Date of request for examination] 12.11.1999

[Date of sending the examiner's decision of rejection] 02.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-235802

(43)公開日 平成7年(1995)9月5日

(51)IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 1/15				
H 0 3 K 17/693	A	9473-5 J		
H 0 4 B 1/18	J	9298-5 K		

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21)出願番号 特願平6-25749

(22)出願日 平成6年(1994)2月23日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 神田 淳

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

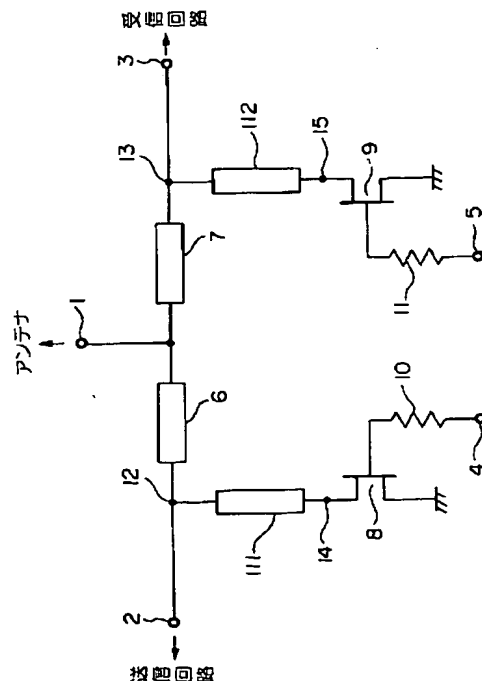
(74)代理人 弁理士 志賀 正武

(54)【発明の名称】 高周波スイッチ回路

(57)【要約】

【目的】 オン状態の時の通過損失が小さく、オフ状態の時の信号漏洩が小さい小型の高周波スイッチ回路を得る。

【構成】 アンテナと受信回路を接続する場合、F E T 9に正バイアスが印加され、そのドレインソース間のインピーダンスは適度に低くオン抵抗と等価になるが、4分の1波長線路112によって高インピーダンスに変換され、節13から見たF E T 9は開放に近くなる。一方、F E T 8に逆バイアスが印加され、ドレインソース間の接合容量によるインピーダンスは適度に大きくなるが、4分の1波長線路111によって低インピーダンスに変換され、節12は十分短絡に近くなる。そして、4分の1波長線路6によって再び高インピーダンスに変換される。従って、アンテナ接続端子1より入力した高周波信号は送信回路接続端子2側に漏洩することなく、受信回路接続端子3側に出力される。



【特許請求の範囲】

【請求項 1】 2つの入出力端子間を結ぶ伝送線路上の一点とアースとの間に半導体スイッチング素子を介挿した高周波スイッチ回路において、前記伝送線路上の一点と前記スイッチング素子との間に、該伝送線路を通過する高周波信号の波長の4分の1の奇数倍の線路長を有する分布定数線路を具備することを特徴とする高周波スイッチ回路。

【請求項 2】 複数の入出力端子を結ぶ複数の伝送線路上の各一点とアースとの間に半導体スイッチング素子を各々介挿した高周波スイッチ回路において、前記伝送線路上の各一点と前記各スイッチング素子との間に、該伝送線路を通過する高周波信号の波長の4分の1の奇数倍の線路長を有する分布定数線路をそれぞれ具備することを特徴とする高周波スイッチ回路。

【請求項 3】 前記分布定数線路はマイクロストリップ線路であることを特徴とする請求項 1 または請求項 2 記載の高周波スイッチ回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、高い周波数帯域における高周波スイッチ回路に関するものである。

【0002】

【従来の技術】 従来の高周波スイッチ回路の一例として、通信機の送受共用アンテナ切り替え回路の構成を図3に示す。図3において、1は図示しないアンテナに接続されるアンテナ接続端子、2は図示しない送信回路に接続される送信回路接続端子、3は図示しない受信回路に接続される受信回路接続端子である。6、7は、それぞれマイクロストリップ線路等の伝送線路（分布定数線路）による4分の1波長線路であり、インピーダンスの状態を反転するインピーダンス変換器として機能する。

【0003】 次に、8、9は電界効果トランジスタ（FET）、10、11はそれぞれFET8、9の自己バイアス調整用抵抗、4、5はスイッチ切替制御端子である。図に示すように、アンテナ接続端子1と送信回路接続端子2および受信回路接続端子3とが、4分の1波長線路6および7をそれぞれ介して接続されることにより、独立した等価な2本の「アーム」が形成されている。

【0004】 そして、4分の1波長線路6と送信回路接続端子2との間の節12にFET8のドレイン電極が接続され、FET8のソース電極は接地されている。同様に、4分の1波長線路7と受信回路接続端子3との間の節13にFET9のドレイン電極が接続され、FET9のソース電極は接地されている。ここで、FET8、9は、いわゆる「バリスタダイオード」の機能を有しており、各ゲート電極に順バイアスあるいは逆バイアスの制御電圧を印加することで、各「ダイオード」、すなわち、ドレイン-ソース間をオンあるいはオフ状態に動作

させる。また、以上の説明から容易に推察されるように、この送受共用アンテナ切り替え回路は非常に小型に作成することができる。

【0005】 上記構成において、アンテナと受信回路とが互いに接続されるように切り替えた場合、および、アンテナと送信回路とが互いに接続されるように切り替えた場合の各回路動作について、以下に項別に分けて説明する。

①アンテナと受信回路とが接続される場合

この場合、図3において、スイッチ切替制御端子4に零もしくは順バイアスが制御電圧として印加され、一方、これとは独立に、スイッチ切替制御端子5にFET9のピンチオフ電圧以下の逆バイアスが制御電圧として印加される。

【0006】 図4は、この場合の図3の等価回路である。FET9は、ドレイン-ソース間の接合容量により図4に示すシャントキャパシタ42と等価になる。そして、このシャントキャパシタ42のキャパシタンス成分と4分の1波長線路7の直列インダクタンス成分との組合せにより、アンテナ接続端子1と受信回路接続端子3との間はある特定の特性インピーダンスを持った伝送路と等価になる。通常は、この特性インピーダンスと受信回路接続端子3に接続される受信回路の入力インピーダンスとの間で整合がとれるように回路設計が行われる。

【0007】 一方、FET8のドレイン-ソース間には「低インピーダンス」であり、図4に示すオン抵抗41と等価になる。すなわち、節12はほぼアースに短絡された状態であると言える。この節12は4分の1波長線路6に接続されているので、同線路6においてこの低インピーダンスは高インピーダンスに変換され、アンテナ接続端子1と送信回路接続端子2との間はほぼ開放状態になる。従ってアンテナ接続端子1に入力された高周波信号は、送信回路接続端子2に接続される送信回路に漏洩することなく、受信回路接続端子3側に出力される。かくして、2つのFET8、9が伝送路と並列にシャントされているこの並列形高周波スイッチ回路の動作により、アンテナと受信回路とが接続される。

【0008】 ②アンテナと送信回路とが接続される場合同様に、アンテナと送信回路が接続するように切り替えるには、上記①とは逆の形態で各制御電圧を印加するようにする。すなわち、スイッチ切替制御端子4にはFET8のピンチオフ電圧以下の逆バイアスが、一方、スイッチ切替制御端子5には零もしくは順バイアスが、それぞれ独立に制御電圧として印加される。

【0009】 上述したように、図3の回路は独立した等価な2本の「アーム」が形成されていると考えられるので、この場合の各スイッチ切替制御端子4、5と各節12、13との間は、上記①の場合と逆の状態になる。すなわち、その等価回路は、図示は省略するが、節12とアースとの間にシャントキャパシタが、節13とアース

との間にオン抵抗が存在する状態となる。これにより、送信回路接続端子 2 に入力された高周波信号は、受信回路接続端子 3 に接続される受信回路に漏洩することなくアンテナ接続端子 1 側に出力され、送信回路とアンテナとが接続される。

【0010】

【発明が解決しようとする課題】ところで、例えば上記①の例において、アンテナ接続端子 1 に接続されるアンテナから受信回路接続端子 3 に接続される受信回路への信号の通過損失を小さく、かつ、送信回路接続端子 2 に接続される送信回路への信号の漏洩を少なくするためには、

(イ) アンテナ接続端子 1 と送信回路接続端子 2 との間がより開放状態に近いこと、すなわち、節 1 2 がよりアースに短絡された状態になること

(ロ) 4 分の 1 波長線路 7 を通過した高周波信号のうち、逆バイアス状態に設定された FET 9 を介してアースに漏洩する成分が少ないこと

が必要である。このためには、図 4 に示すオン抵抗 4 1 の抵抗値が小さく、また、シャントキャパシタ 4 2 のインピーダンスが大きければ（キャパシタンスが小さければ）よい。

【0011】ところが、オン抵抗 4 1 の抵抗値を小さくする目的でゲート幅の広い FET を採用したとしても、信号の周波数が高くなると信号の波長に比べてゲート幅が相対的に大きくなるので、ゲート幅を広げてもオン抵抗 4 1 の抵抗値は余り小さくならない。また、FET のゲート幅を広げると、逆バイアス状態に設定された場合にドレインソース間の接合容量、すなわち、図 4 に示すシャントキャパシタ 4 2 のキャパシタンス成分が大きくなるので、高周波になればなるほどドレインソース間のインピーダンス（オフ抵抗）が低くなる。従って、アンテナ接続端子 1 を介してアンテナから入力した高周波信号が受信回路接続端子 3 側に出力されずにシャントキャパシタ 4 2 を通してアースに漏洩してしまう、すなわち、アンテナから受信回路への信号通過損失が大きくなるという問題があった。

【0012】以上述べたように、入力端子ー出力端子間を結ぶ線路上の節とアースとの間に FET やダイオードなどのスイッチング素子が設けられた小型の並列形高周波スイッチ回路においては、該スイッチング素子がオン状態である時の通過損失を小さく、かつ、オフ状態である時の信号漏洩を少なくする（アイソレーションを高める）ことが好ましい。ところが、係るスイッチング素子のオン抵抗を小さくすると、スイッチング素子の接合容量が大きくなる。従って、信号の周波数が高くなるにつれてオフ抵抗が減少し、その結果、オン状態の時の通過損失が大きいかつオフ状態の時の信号漏洩が大きくなるという問題があった。本発明は、上述した事情に鑑みてなされたものであり、上記形態に接続されたスイッチ

ング素子がオン状態である時の通過損失が小さく、かつ、オフ状態である時の信号漏洩が小さい小型の高周波スイッチ回路を提供することを目的としている。

【0013】

【課題を解決するための手段】上記課題を解決するために、請求項 1 記載の発明にあっては、2 つの入出力端子間を結ぶ伝送線路上の一点とアースとの間に半導体スイッチング素子を介挿した高周波スイッチ回路において、前記伝送線路上の一点と前記スイッチング素子との間に、該伝送線路を通過する高周波信号の波長の 4 分の 1 の奇数倍の線路長を有する分布定数線路を具備すること

を特徴としている。
【0014】また、請求項 2 記載の発明にあっては、複数の入出力端子を結ぶ複数の伝送線路上の各一点とアースとの間に半導体スイッチング素子を各々介挿した高周波スイッチ回路において、前記伝送線路上の各一点と前記各スイッチング素子との間に、該伝送線路を通過する高周波信号の波長の 4 分の 1 の奇数倍の線路長を有する分布定数線路をそれぞれ具備することことを特徴としている。また、請求項 3 記載の発明にあっては、請求項 1 または請求項 2 記載の発明において、前記分布定数線路はマイクロストリップ線路であることを特徴としている。

【0015】

【作用】請求項 1 記載の構成によれば、伝送線路上の一点とスイッチング素子との間に設けられた、該伝送線路を通過する信号の波長の 4 分の 1 の奇数倍の線路長を有する分布定数線路により、スイッチング素子のオン抵抗はオフ抵抗に、オフ抵抗はオン抵抗に、インピーダンス変換される。よって、小さなオン抵抗を得る代償としてオフ抵抗の減少が問題となるような高周波数帯域の信号伝送において、オン抵抗が極端に大きくない範囲でオフ抵抗が適度に小さいスイッチング素子を適用することで、該スイッチング素子と直列に接続された 4 分の 1 波長の奇数倍の線路長を有する分布定数線路との組み合わせにより、小さいオン抵抗と大きいオフ抵抗を有するスイッチング素子を使用した場合と同等の機能を得ることができる。

【0016】従って、高い周波数においても、スイッチング素子がオン状態に設定された時の通過損失が小さく、また、オフ状態に設定された時の信号の漏洩が少ない良好なスイッチ動作が得られる。また、高周波信号になるとその波長が短くなるので、4 分の 1 波長の奇数倍の線路長を有する分布定数線路を加えたことによって回路面積が増加する影響は少ない。

【0017】また、請求項 2 記載の構成によれば、複数の入出力端子を結ぶ複数の伝送線路上の各一点と各スイッチング素子との間に上記と同様の分布定数線路が設けられるので、これらの入出力端子を切り替えて使用する場合に、入力側に設定された入出力端子から出力側に設

定された入出力端子への信号の通過損失を小さく、かつ、入力側にも出力側に設定されなかった入出力端子側への信号の漏洩を少なくすることができる。

【0018】

【実施例】以下、図面を参照して、本発明の一実施例について説明する。図1は、本発明の一実施例による高周波スイッチ回路を適用した通信機の送受共用アンテナ切り替え回路の構成を示す図であり、図3と共通する各部には同一の符号を付し、その説明を省略する。図1において、節12とFET8との間にマイクロストリップ線路等による4分の1波長線路111が、また、節13とFET9との間に同様にマイクロストリップ線路等による4分の1波長線路112がそれぞれ介挿されている。これら4分の1波長線路111、112はインピーダンスの状態を反転する機能を有するので、各節12、13から見たFET8、9のインピーダンスの状態は反転して見える。

【0019】上記構成において、アンテナと受信回路とが互いに接続される場合、および、アンテナと送信回路とが互いに接続される場合の各回路動作について、以下に項別に分けて説明する。

①アンテナと受信回路とが接続される場合

この場合、図1において、スイッチ切替制御端子4にFET8のピンチオフ電圧以下の逆バイアスが制御電圧として印加され、一方、これとは独立に、スイッチ切替制御端子5に零もしくは順バイアスが制御電圧として印加される。すなわち、前述した図3に対する①の場合とは、スイッチ切替制御端子4、5に対するバイアスのかけ方が互いに逆になっている。また、FET8、9としては、使用する周波数帯域において、逆ゲートバイアス時のドレインソース間の接合容量によるドレインソース間のインピーダンスが適度に大きくなるようなゲート幅のもの（オン抵抗が十分小さくなるようなゲート幅の特に広いものではない）が使用される。

【0020】図2は、この場合の図1の等価回路である。この場合、FET9のドレインソース間のインピーダンスは適度に低くなるので、図2におけるオン抵抗22と等価になる。従って、図2に示す節15はほぼアースに短絡された状態になるが、この低インピーダンスは4分の1波長線路112によって高インピーダンスに変換されるので、節13から見たFET9は開放に近い状態になる。従って、4分の1波長線路7を通過した高周波信号のうち4分の1波長線路112側へ漏洩する信号成分はほとんど無く、ほぼ全ての信号が受信回路接続端子3に接続された受信回路に出力される。

【0021】一方、FET8は、ドレインソース間の接合容量により図2におけるシャントキャパシタ21と等価になるが、そのインピーダンスは上述したように適度に大きく、節14は十分開放に近い状態になる。従って、4分の1波長線路111によってこの高インピーダ

ンスは低インピーダンスに変換され、節12については十分短絡に近い状態となる。そして、この低インピーダンスが4分の1波長線路6によって再び高インピーダンスに変換される。従って、アンテナ接続端子1から見た送信回路接続端子2はほとんど開放状態に見えるので、アンテナ接続端子1より入力した高周波信号は送信回路接続端子2側に漏洩することなく、受信回路接続端子3側に出力される。かくして、通過損失が小さく、かつ信号漏洩が小さい特性で、アンテナと受信回路とが接続される。

【0022】②アンテナと送信回路とが接続される場合同様に、アンテナと送信回路が接続するように切り替えるには、上記①とは逆の形態で各制御電圧を印加するようにする。すなわち、スイッチ切替制御端子4には零もしくは順バイアスが、一方、スイッチ切替制御端子5にはFET9のピンチオフ電圧以下の逆バイアスが、それぞれ独立に制御電圧として印加される。

【0023】この場合の各スイッチ切替制御端子4、5と各4節12、13との間は、上記①の場合と逆の状態になり、その等価回路（図示略）は、節14とアースとの間にオン抵抗が、節15とアースとの間にシャントキャパシタが存在する状態となる。これにより、通過損失が小さく、かつ信号漏洩が小さい特性で、アンテナ入力端子1に接続されたアンテナと送信回路接続端子2に接続された送信回路とが接続される。

【0024】以上説明した図1の送受共用アンテナ切り替え回路によれば、図3の回路構成に比べて4分の1波長線路111、112が増設された分全体の回路面積が増加するが、対象となる信号の周波数が高い場合は線路波長も短く、上記増加の影響はほとんど問題のないレベルである。従って、従来の回路構成（図3）の1つの特徴である「小型」であるという利点は、本実施例の構成（図1）、すなわち、4分の1波長線路111、112を追加した回路構成によっても保たれる。

【0025】また、本実施例によれば、オン抵抗が十分小さくなるようなゲート幅の広いFETを用いなくても、使用する周波数において、逆ゲートバイアス時のドレインソース間のインピーダンスが適度に大きくなるようなゲート幅のFETを使用すればよいので実用的である。なお、本発明による高周波スイッチ回路は、その適用を本実施例による送受共用アンテナ切り替え回路に限ることなく、多様な分野に応用が可能である。また、伝送線路上の一点とスイッチング素子との間に設けられる分布定数線路については、本実施例のように信号の波長の4分の1の奇数倍の線路長に限ることなく、該波長の4分の1の奇数倍の線路長にしても、同様の効果が得られる。

【0026】

【発明の効果】以上、説明したように、本発明によれば、高周波信号の入力端子と出力端子との間を結ぶ伝送

10

20

30

40

50

線路上の一点とスイッチング素子との間に、該伝送線路を通過する信号の波長の4分の1の奇数倍の線路長を有する分布定数線路を設けたので、スイッチング素子のオン抵抗はオフ抵抗に、オフ抵抗はオン抵抗に、インピーダンス変換される。従って、オン抵抗が十分小さくなるような特性を有するスイッチング素子を使用しなくても、オン状態の時の通過損失が小さく、かつ、オフ状態の時の信号漏洩が小さい小型の高周波スイッチ回路を得ることが可能となった。

【図面の簡単な説明】

【図1】 本発明の一実施例における高周波スイッチ回

路（送受共用アンテナ切り替え回路）の構成を示す図である。

【図2】 図1の等価回路である。

【図3】 従来例の高周波スイッチ回路（送受共用アンテナ切り替え回路）の構成を示す図である。

【図4】 図3の等価回路である。

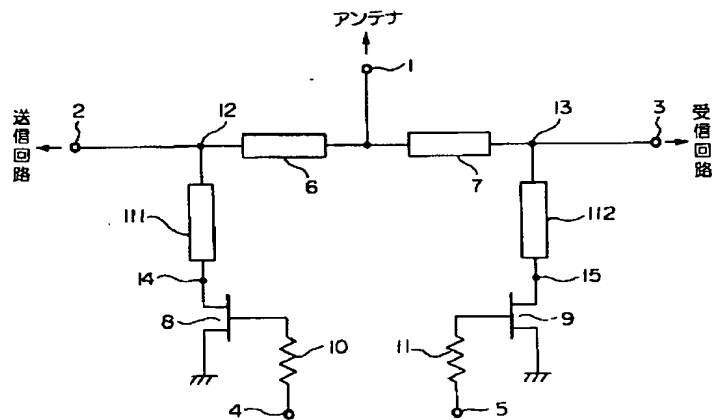
【符号の説明】

1, 2, 3 入出力端子

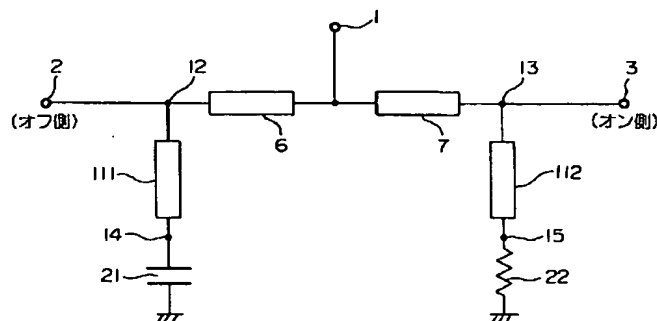
8, 9 FET（スイッチング素子）

10 111, 112 4分の1波長線路（分布定数線路）

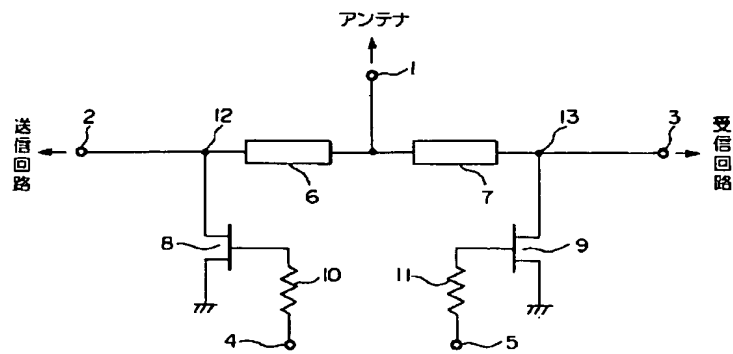
【図1】



【図2】



【図 3】



【図 4】

